PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2002-261104

(43) Date of publication of application: 13.09.2002

(51)Int.CI.

H01L 21/52 B23K 35/28 C22C 18/00 C22C 18/02 C22C 18/04 H01L 21/60 H05K 3/34

(21)Application number: 2001-056121

(71)Applicant: HITACHI LTD

(22)Date of filing:

01.03.2001

(72)Inventor: SHIMOKAWA HIDEYOSHI

SOGA TASAO

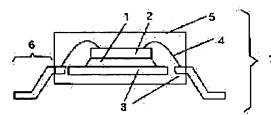
ISHIDA TOSHIHARU OKAMOTO MASAHIDE NAKATSUKA TETSUYA

(54) SEMICONDUCTOR DEVICE AND ELECTRONIC EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To enable the connection using a temperature hierarchy with lead-free solder which has a high reliability, in particular, lead-free solders of Sn-Ag, Sn-Ag-Cu, Sn-Cu, Sn-Zn, and those added with Bi or In. SOLUTION: A semiconductor chip is connected using Zn-Al-In lead-free material that consists of ≤20 mass%, Al, ≤30 mass% In, and the remainder Zn, and the electrode which the semiconductor chip has and a lead to be a junction portion with an external are electrically connected by wire bonding.





LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection

[Kind of final disposal of application other than

Searching PAJ Page 2 of 2

the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出願公開番号 特開2002-261104 (P2002-261104A)

(43)公開日 平成14年9月13日(2002.9.13)

酸別们号 3 1 0 審查請求 特閱2001-56121(P2001-56121)	B 2 3 K 35 C 2 2 C 18 18	8/02 8/04 質の数13 OL	E 310D , (全7頁)	ティコート*(参考) 5 E 3 1 9 5 F 0 4 4 5 F 0 4 7 最終頁に続く
3 1 0 審査請求 特願2001-56121(P2001-56121)	B 2 3 K 3 C 2 2 C 16 18 18 18 末請求 請求項	5/28 8/00 8/02 8/04 眞の数13 O L 000005108	310D , (全 7 頁)	5 F O 4 4 5 F O 4 7
審査請求 特履2001-56121(P2001-56121)	C 2 2 C 18 18 18 未請求 請求項	8/00 8/02 8/04 質の数13 O L 000005108	、(全 7 頁)	5 F 0 4 7
審查請求 特願2001-56121(P2001-56121)	18 18 前求項	8/02 8/04 頁の数13 OL 000005108		
審查請求 特賦2001-56121(P2001-56121)	18 未請求 請求項	8/04 頁の数13 OL 000005108		最終頁に続く
審査請求 特願2001-56121(P2001-56121)	未請求 請求項	質の数13 OL 		最終 頁に続く
特爾2001-56121(P2001-56121)		000005108		最終頁に続く
	(71)出願人			
	1		乙颗作所	
平成13年3月1日(2001.3.1)	東京都千代田区神:日駿河台四丁目6番地			
	(72)発明者	下川 英恵		
		神奈川県横辺	兵市戸 塚区 吉田	町292番地 株
		式会社日立筆	製作所生産技術	研究所内
	(72)発明者	曾我 太佐男	男	
		神奈川県横御	兵市戸塚区吉田	町292番地 株
		式会社门立	製作所生産技術	研究所内
	(74)代理人	100075096		
		弁理士 作品	丑 康夫	
		(72)発明者	式会社:日立 (72)発明者 管我 太佐 神奈川県機 式会社:日立 (74)代理人 100075096	神奈川県横浜市戸塚区吉田 式会社:3立製作所生産技術 (72)発明者 曽我 太佐男 神奈川県横浜市戸塚区吉田 式会社:3立製作所生産技術

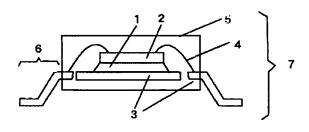
(54) 【発明の名称】 半導体装置および電子機器

(57)【要約】

【課題】本発明の目的は、高信頼な鉛フリーはんだによる温度階層接続を可能とすることにある。特に、上記のSn-Ag系、Sn-Ag-Cu系、Sn-Cu系、Sn-Zn系、及びこれにBiやInを添加した鉛フリーはんだを用いたときの温度階層接続を可能とすることにある。

【解決手段】本発明は、上記目的を達成するために、半導体チップが20mass%以下のA1、30mass%以下のIn、残りが2nにより構成されるZn-A1-In系の鉛フリー材料を用いて接続され、該半導体チップの有する電極と外部との接続部分となるリードとがワイヤボンデングにより電気的に接続されたものである。

[図1]



【特許請求の範囲】

【請求項1】半導体チップが20mass%以下のAI、30mass%以下のIn、残りがZnにより構成されるZn-AI-In系の鉛フリー材料を用いて接続されたことを特徴とする半導体装置。

【請求項2】前記鉛フリー材料にCuまたはNiまたはAgのいずれか1種以上を10mass%以下添加したこと特徴とする請求項1記載の半導体装置。

【請求項3】前記鉛フリー材料にGe、Mg、Gaのうち1種以上を5mass%以下添加したことを特徴とする請求項1または2記載の半導体装置。

【請求項4】半導体チップもしくは半導体装置と、該半導体チップもしくは半導体装置が20mass%以下のAl、30mass%以下のIn、残りがZnにより構成されるZn-Al-In系の鉛フリー材料を用いて接続された基板と、該半導体チップもしくは半導体装置と該基板に形成された配線を介して電気的に接続された該鉛フリー材料よりも融点の低いはんだとを備えたことを特徴とする半導体モジュール。【請求項5】前記鉛フリー材料にCuまたはNiまたはAgのいずれか1種以上を10mass%以下添加したこと特徴とす

【請求項6】前記鉛フリー材料にGe、Mg、Gaのうち1種以上を5mass%以下添加したことを特徴とする請求項4または5記載の半導体モジュール。

る請求項4記載の半導体モジュール。

【請求項7】20mass%以下のA1、30mass%以下のIn、残りがZnにより構成されるZn-A1-In系の鉛フリー材料。

【請求項8】20mass%以下のA1、30mass%以下のIn、残りがZnにより構成される Zn-A1-In系の鉛フリー材料に、CuまたはNiまたはAgのいずれか1種以上を10mass%以下添加したことを特徴とする鉛フリー材料。

【請求項9】さらにGe、Mg、Gaのうち1種以上を5mass%以下添加したことを特徴とする請求項7または8記載の鉛フリー材料。

【請求項10】20mass%以下のA1、残りがZnにより構成されるZn-A1系合金、或いはこれに、CuまたはNiまたはAgのいずれか1種以上を10mass%以下添加した合金の表面に、In層を施した鉛フリー材料。

【請求項11】20mass%以下のAI、30mass%以下のIn、残りがZnにより構成されるZn-AI-In系の合金、或いはこれに、CuまたはNiまたはAgのいずれか1種以上を10mass%以下添加した合金の表面に、AuまたはAg層を施した鉛フリー材料

【請求項12】前記合金に、Ge、Mg、Gaのうち1種以上を5mass%以下添加したことを特徴とする請求項10または11記載の鉛フリー材料。

【請求項13】請求項7~12に示した鉛フリー材料を 用いて接続した半導体装置もしくは半導体モジュール を、Sn系、Sn-Ag系、Sn-Ag-Cu系、Sn-Cu系、Sn-Zn系、S n-Zn-Bi系、Sn-Ag-Bi系、Sn-Sb系、Au-Sn系鉛フリーは んだで温度階層接続したことを特徴とする電子機器。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、半導体装置、半導体モジュール、電子機器などを製造するための高温鉛フリーはんだによる接続技術に係り、特に温度階層を用いて鉛フリーはんだ接続する技術に関する。

[0002]

【従来の技術】チップをダイボンドするタイプの半導体装置や、チップをフリップチップ接続するタイプの半導体装置、例えばBGA(Ball Grid Array)、CSP(Chip Scale Package)などにおいては、その接続をはんだにより行う場合、その半導体装置内部で使用するはんだと、半導体装置自身を基板に接続するはんだ(BGAやCSPの場合、そのはんだバンプ)との温度階層接続が必要となる。すなわち、半導体装置自身を基板に接続する際に、半導体装置内部で使用したはんだが溶融しないような材料を使用することが必要となる。

【0003】従来の温度階層接続における高温系はんだとしては、一般に高鉛はんだと呼ばれるPbリッチの95mass%Pb-5mass%Sn (融点:310~314℃) (以下、Pb-5Snのように、元素の割合をmass%を除いて示し、組成比の記述のない元素は残りとする)、Pb-10Sn (融点:275~302℃)等が使用されていた。これらは330℃近傍の温度ではんだ付けが可能であり、その後の低温系はんだであるSn-37Pb共晶(融点:183℃)による温度階層接続が可能であった。

【0004】また、この高鉛はんだは、一般に軟質であり、機械的ストレス等が発生する箇所において、応力緩和できる特性をもつ。このため、高電流が流れ、かつ、パワートランジスタ等の大きなシリコンチップをCu母材等に接続するためにも使われてきた。

[0005]

【発明が解決しようとする課題】現在、はんだ中から鉛を排除した鉛フリーはんだ材料やそのはんだ付け方法の開発が進められている。主な鉛フリーはんだ材料は、Sn-Ag系、Sn-Ag-Cu系、Sn-Cu系、Sn-Zn系、及び、これらにBiや、Inを添加して低融点化を図ったはんだ材料であり、表面実装におけるはんだ付け温度は最大約235℃~250℃である。

【0006】しかし、これらのはんだと組み合わせて使用できる高温側の温度階層接続用のはんだ材料は、現在見当たらない。最も、可能性のあるはんだ材料としてはSn-5Sb(融点:232~240℃)があるが、リフロー炉内での基板上の温度ばらつき等を考慮すると、このSn-5Sbによる接続部を溶かさないで、両はんだによる接続部の信頼性を確保することは難しかった。他方、高温系はんだとしてAu-20Sn(融点:280℃)が知られているが、この材料は硬く、コストも高いため、用途が限定される。特に、熱膨張係数の異なる材料間の接続、例えば、大型のSiチップの接続や、半導体モジュールやBGAなどにお

!(3) 002-261104 (P2002-261104A)

けるSiチップ裏面と基板との接続では、はんだが硬く、 応力緩和の可能性が低いため、Siチップを破壊させる恐 れがある。

【0007】本発明の目的は、高信頼な鉛フリーはんだによる温度階層接続を可能とすることにある。特に、上記のSn-Ag系、Sn-Ag-Cu系、Sn-Cu系、Sn-Zn系、及びこれにBiやInを添加した鉛フリーはんだを用いたときの温度階層接続を可能とすることにある。

[8000]

【課題を解決するための手段】本発明は、上記目的を達 成するために、半導体チップが20mass%以下のAI、30mas s%以下のIn、残りがZnにより構成されるZn-Al-In系の鉛 フリー材料を用いて接続されたものである。また、前記 鉛フリー材料にCuまたはNiまたはAgのいずれか1種以上 を10mass%以下添加したものである。また、前記鉛フリ ー材料にGe、Mg、Gaのうち1種以上を5mass%以下添加し たものである。また、半導体チップもしくは半導体装置 と、該半導体チップもしくは半導体装置が20mass%以下 のAl、30mass%以下のIn、残りがZnにより構成されるZn-Al-In系の鉛フリー材料を用いて接続された基板と、該 半導体チップもしくは半導体装置と該基板に形成された 配線を介して電気的に接続された該鉛フリー材料よりも 融点の低いはんだとを備えたものである。また、前記鉛 フリー材料にCuまたはNiまたはAgのいずれか1種以上を 10mass%以下添加したものである。また、前記鉛フリー 材料にGe、Mg、Gaのうち1種以上を5mass%以下添加した 鉛フリーはんだ材料である。また、20mass%以下のA1、3 Omass%以下のIn、残りがZnにより構成されるものであ る。また、20mass%以下のAI、30mass%以下のIn、残りが Znにより構成される Zn-Al-In系の鉛フリー材料に、Cu またはNiまたはAgのいずれか1種以上を10mass%以下添 加したものである。また、さらにGe、Mg、Gaのうち1種 以上を5mass%以下添加したものである。また、20mass% 以下のAI、残りがZnにより構成されるZn-AI系合金、或 いはこれに、CuまたはNiまたはAgのいずれか1種以上を 10mass%以下添加した合金の表面に、In層を施したもの である。また、20mass%以下のAI、30mass%以下のIn、残 りがZnにより構成されるZn-Al-In系の合金、或いはこれ に、CuまたはNiまたはAgのいずれか1種以上を10mass% 以下添加した合金の表面に、AuまたはAg層を施したもの である。また、前記合金に、Ge、Mg、Gaのうち1種以上 を5mass%以下添加したものである。また、前記鉛フリー 材料を用いて接続した半導体装置もしくは半導体モジュ ールを、Sn系、Sn-Ag系、Sn-Ag-Cu系、Sn-Cu系、Sn-Zn 系、Sn-Zn-Bi系、Sn-Ag-Bi系、Sn-Sb系、Au-Sn系鉛フリ ーはんだで温度階層接続したものである。

【0009】ここで、上記組成のZn-Al-In系合金を用いた理由を説明する。Zn-Al系合金は、共晶点で融点が382 ℃であり、温度階層接続における実用上の問題はない。 しかし、Zn-Al系合金は、比較的硬いはんだであり、ZnAl合金の強度、硬さを低減し、接続部の応力緩和を図ることが半導体装置などの製品に適用する上で極めて重要となってくる。特に、半導体チップの裏面をはんだ接続するような場合において接続部の応力緩和を図ることは重要であり、応力が十分に緩和されなければチップの破壊にもつながってしまう。その他の接続部分においても同様であり、接続部分が硬く、応力が十分に緩和できないのであれば、接続界面に応力が集中することで界面剥離などを生ずる結果となってしまう。そこで、本発明では、Zn-Al系合金にInを添加することとした。図7はZn-Al系合金にInを少量添加したときの硬度を示すが、In添加により、Zn-Al系はんだの硬さを低減でき、接続部の応力緩和に効果があるといえる。約4 mass%までのIn添加が応力を緩和する上では効果的であり、コストの面からも好ましい。

【0010】一方、組成に関しては、AIを20mass%以下としたのは、20mass%を超えると、融点が上昇するためであり、最終製品の耐熱性を考慮したものである。また、Inが30mass%以下であるのは、In量が30mass%を越えると、Inによる150℃程度の低温相が多く析出して、信頼性に悪影響を及ぼしてしまうためである。

【0011】また、Cu、Ag、Niを添加するのはInによる上記の低温相の析出を防止するためであるが、10mass%を越すと、融点がかえって上昇してしまう。従って10mass%以下とした。また、Ge、Mg、Gaを添加するのは、固相線温度を低くできるからであるが、5mass%以上では固相線温度が下がりすぎてしまう。

【0012】これらの組成のはんだ合金は、融点が250 ℃以上であるので、上記はんだで接続した半導体装置や 半導体モジュールや電子機器などを、Sn系、Sn-Ag系、S n-Ag-Cu系、Sn-Cu系、Sn-Zn系、Sn-Zn-Bi系、Sn-Ag-Bi 系、及びこれにIn等を添加した鉛フリーはんだを用いて 温度階層接続したとしても、再溶融による接続信頼性へ の影響はない。また、場合によってはSn-Sb合金、Au-Sn 合金との温度階層接続も可能である。

[0013]

【発明の実施の形態】本発明を図面を用いて説明する。 (実施の形態1)図1は、Zn-4Al-3Inによるはんだ1を 用いて、Siチップ2と42 3を接続した例で ある。これは、まずZn-4Al-3Inの箔を形成し、42

3上に搭載する。更に、Siチップ2を搭載し加熱させ、Siチップ2と42 3を接続させる。Zn-4Al-3Inの溶融特性は、DSC (Differential Scanning Calorimetry)による測定によると、280℃で吸熱のピークが出現し、はんだ中の一部が溶けているが、大部分は、330℃~380℃間で溶融する。また、145℃でも吸熱のピークが出現するが、ごく微量であり、実使用上は問題のない である。従って、加熱温度は390~400℃近傍で行った。更に、これを通常の 4を行った後、樹脂 5を行い、外部リード6の表面処理を

(4) 002-261104 (P2002-261104A)

行って半導体装置7を作成する。このZn-4Al-3In1を用いたSiチップ2と42 3加熱方法は、バッチ式でも良いし、リフローはんだ付け装置等を用いて連続的に加熱しても良い。不活性雰囲気下で、こすりペレット接合でも可能である。

【0014】図2は、はんだ1にZn-4Al-1Inを用いて、Siチップ2とCu系 8を接続した例であり、これを用いて半導体装置9を形成した例である。このZn-4Al-1Inはんだの溶融特性は279℃で一部溶融し、大部分が351℃~389℃で溶融するが、上記のような145℃での吸熱ピークはみられず、接続部のより高温での信頼性の重要な製品に有効である。

【 O O 1 5 】 これらの図 1 、図 2 に示した構成の半導体装置は、その後、回路基板にSn、Sn-Ag系はんだ(例えばSn-3Ag-0.5Cu)、Sn-Cu系(例えばSn-3Ag-0.5Cu)、Sn-Cu系(例えばSn-9Zn)、Sn-Zn-Bi系(例えばSn-9Zn-3Bi)、Sn-Ag-Bi系(例えば、Sn-3Ag-1Bi-0.5Cu)、Sn-Sb系(例えばSn-5Sb)、Au-Sn系(例えばAu-2OSn)を用いて接続することができる。従って、本構成を用いれば、温度階層接続が可能となる。また、半導体チップ 2 の裏面とのはんだ接続部の応力緩和も十分に図かれており、半導体チップ 2 の破壊を抑制することもできる。

(実施の形態2)図3は、本発明の鉛フリーはんだ材料の他の適用例を示す。図3では薄板10の構造を示し、内側の層11と、外側の層12から成る。材料の構成は表1に示した。

【0016】 【表1】

[表1]

No.	内側の層	外側の層
A	Zn-5Al	În
В	Zn-5AI-5Ag	In
<u>C</u>	Zn-5Al-5Ni	În
D	Zn-5Al-5Ag-5Ni	În
E	Zn-5Al-2In	Ag
F	ZII-JAI-ZIII	Au
G	Zn-5Al-1In-5Cu	Ag
<u> </u>	Zn-ski-tin-şca	Au
I	Zn-5Al-1In-5Ag	Ag
J	Zn-JAI- IIn-JAg	Au
<u>K</u>	Zn-5Al-1In-5Ni	Ag
	ZII-5AI-1III-5IN	Au
<u>_M</u>	Zn-5Al-1In-5Ag-5Ni	Ag
N	7211 371 1111 371g 3141	Au

この表のA~Dまでは、内側の層11がZn-Al系、Zn-Al-Ag系、Zn-Al-Ni系、Zn-Al-Ag-Ni系であり、外側の層12にInを有する。このA~Dの例では、加熱すると、まず外側の層12がInの融点である156℃で溶融し始め、3

00℃付近に上昇すると内側の層11の材料が溶け出して最 終的に高融点の鉛フリーはんだが形成されることをねら ったものである。このInによる表面層は、融点が低いた め加熱時にまず始めに溶けること、またZn-Al系の内側 の層11の酸化が防止できることから、ぬれ性の向上に 効果がある。加熱される やSiチップ等の耐熱性 に余裕があれば、さらに、内側の層11が完全に溶融す るまで温度を上昇させても良い。Inによる表面コートの 方法は、めっき、蒸着、ディップ、ローラー等で行う。 【0017】また、表1中のE、Fは、Zn-Al-In合金に それぞれAg、Auをコートして濡れ性を向上させたもので ある。これらのAu、Agも、同様に内側の層11の酸化を 防止する。この場合の表面の層は、特に表1中のFに示 したAuの場合は薄く、Zn-Al-Inの融点に影響を与えるこ とはない。Au、Agによる表面コートの方法は、めっき、 蒸着、等で行う。また、Au、Ag層の下に少量のNi層があ っても良い。同様に表1中のG、HはZn-Al-In-Cu合 金、表1中のI、JはZn-Al-In-Ag合金、表1中のK、 LはZn-Al-In-Ni合金、表1中のM、NはZn-Al-In-Ag-N i合金に、Ag、Auをコートして濡れ性を向上させたもの である。

【0018】以上のような鉛フリー材料で構成される図 3の薄板10を接続部間に供給して加熱することによ り、高融点の接続部を得ることができる。なお、表1の A~Nの内側の層に、Ge、Mg、Gaのうち一種以上を5mas s%以下添加しても良い。

【0019】表1に示した構成のはんだの薄板10を用いた接続例を図4に示す。Siチップ13裏面にNiめっき14、更にAuめっき15を施したSiチップ13と、Niめっき16、更にAuめっき17を施したMo板18の間に上記薄板10を供給し、窒素中、もしくは水素中で加熱した。これによって上記Siチップ13とMo板18が接続される。この場合、Siチップ13裏面にNiめっき14、更にAuめっき15を施した理由、及び、Mo板18にNiめっき16、更にAuめっき17を施した理由は、フラックスを使用しなくてもぬれ性が確保できるためである。この接続構造体19は、次にCu基板20に接続され、その後、等の工程を経て、パワーモジュールとして使用することができる。

【0020】尚、本実施例では、図3のように内側の層の両側に外側の層を設けた3層構造の例を示したが、内側の層の材料と外側の層の材料を順に積み重ねた多層の構造としても良い。

(実施の形態3)はんだボールを用いた階層接続の高温側のはんだとして本発明を用いた例を図5に示す。まずSiチップ30の電極31にZn-5Al-1In-2Agはんだボール32を供給し窒素中で加熱して接続する。これを中間基板33の電極34に位置あわせして加熱して接続させる。この中間基板33は、プリント基板、セラミック基板、或いは、Fe-NiやCu合金のようなでも良

(5) 002-261104 (P2002-261104A)

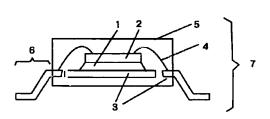
い。このようにして接続した構造体35に、Ni/Auめっ きを施したAl 36等を、Au-20Sn合金(融点280 **℃)37を用いて中間基板33に接続し、更にこれらを** Sn-Ag-Cu系はんだ38、例えば、Sn-3Ag-0.5Cuを用いて プリント基板のような回路基板39に接続させる。従っ て、このような構成を取ることにより、鉛を用いない材 料による階層接続が可能になる。電極31、34には、 Zn-Al-In系はんだとの反応、濡れ性などを考慮すると、 Au、Ag、Pdめっきを施した電極が適する。また、Sn系の はんだめっきを施しても良い。これらのAu、Ag、Pdめっ き、Sn系はんだめっきの下地にとしてはNi、Ni-W、Cu等 を用いる。また、上記電極31、34は、Cu配線、AI配 線であっても、配線、はんだ表面の状況、雰囲気、温 度、時間等の接続 を最適化すれば接続可能であ る。

【0021】この実施例では、はんだボール32にZn-5 Al-1In-2Agを用いたが、Zn-Al-In-Cu系、Zn-Al-In-Ni 系、Zn-Al-In-Ni-Ag等でも良い。また、Siチップ30と中間基板33間の隙間に樹脂等を封入すれば、低コスト実装で、更に熱疲労特性、耐環境性等の信頼性を向上させることができる。また、これ以外でも、Al 36等を外して、樹脂で して表面をカバーしてもよい。

(実施の形態4)表1の構成は、薄板の形状のみででなく、はんだボールの形状として用いることもできる。すなわち、図6に示したように、表1の内側の層をコア50とし、外側の層を表面層51としてはんだボール52を形成する。このはんだボールは、図5に示した、はんだボール32として用いることができる。また、粒径を細かく作成すれば、フラックス成分と混練りさせて、はんだペーストとして使用することもできる。はんだボールにこの構造を適用したのは、ぬれ性が向上することにより、はんだ付けが容易になること、また、接続後のはんだボール内部に発生するボイド等が低減できるためである。

【図1】

[図1]



[0022]

【発明の効果】本発明によれば、高信頼な温度階層接続 を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明に関わるはんだ材料を用いて、42 を使用した半導体に適用した形態を示す図である。

【図2】本発明に関わるはんだ材料を用いて、Cu系を使用した半導体に適用した形態を示す図である。 【図3】本発明に関わる、Pbフリー材料の薄板の構成を示す図である。

【図4】本発明に関わるはんだ材料を用いて、SiチップとMo板、及びCu基板を有するの接続に適用した例を示す図である。

【図5】本発明に関わるはんだ材料を用いて、Siチップと回路基板を2種類の鉛フリーはんだを用いて適用した例を示す図である。

【図6】本発明に関わる、はんだ材料のはんだボールの 構成を示す図である。

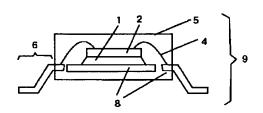
【図7】In添加による硬度の変化を示す図である。 【符号の説明】

1…はんだ、2…Siチップ、3…42 、4… 、5…樹脂 、6…外部 、7…42 を用いた半導体装置、8…Cu系 、9 …Cu系 を用いた半導体装置、10…本発明の薄

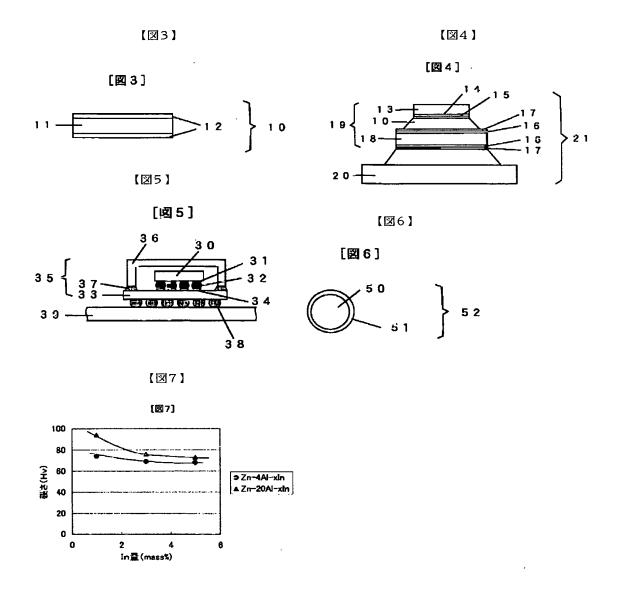
・・・・Cu糸
を用いた半導体装置、10・・・本発明の薄板、11・・・内側の層、12・・・外側の層、13・・・Siチップ、14・・・Niめっき、15・・・Auめっき、16・・・Niめっき、17・・・Auめっき、18・・・Mo板、19・・・接続構造体、20・・・Cu基板、21・・・・、30・・Siチップ、31・・・Siチップ電極、32・・・Zn-5Al-IIn-2Agはんだボール、33・・・中間基板、34・・・中間基板電極、35・・・接続構造体、36・・・アルミキャップ、37・・・Au-20Snはんだ、38・・・Sn-3Ag-0.5Cu、39・・・回路基板、50・・・コア、51・・・表面層、52・・・はんだボール。

【図2】

[图2]



!(6) 002-261104 (P2002-261104A)



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	
HO1L 21/60	311	HO1L 21/60	311S
		H O 5 K 3/3/	512C

H05K 3/34 512 H01L 21/92 603B

(72)発明者 石田 寿治 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内

(72) 発明者 岡本 正英 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内 (72) 発明者 中塚 哲也 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内

(参考)

!(7) 002-261104 (P2002-261104A)

Fターム(参考) 5E319 AA03 AB05 BB01 BB04 BB05 BB10 GG11 GG20 5F044 KK08 LL01 QQ03 5F047 BA05 BA14 BA15 BA17 BA19